

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-221927

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09F 9/00
G09G 3/36

(21)Application number : 11-145754

(71)Applicant : NEC KANSAI LTD

(22)Date of filing : 26.05.1999

(72)Inventor : SHIMIZU NOBUO
KOSAKA YASUHIRO

(30)Priority

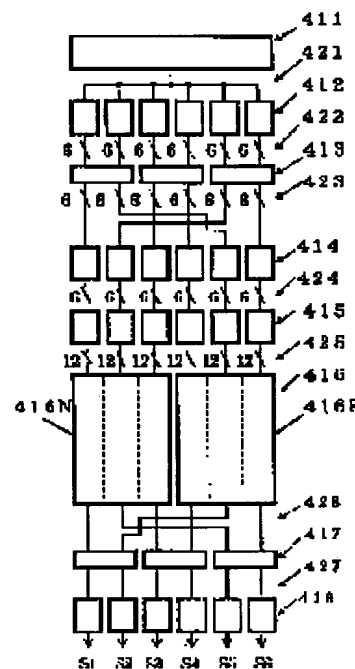
Priority number : 10333488 Priority date : 25.11.1998 Priority country : JP

(54) INTEGRATED CIRCUIT DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the area of an ROM decoder included in a semiconductor chip.

SOLUTION: In each D/A converter 416 of sixty-four circuit blocks having six outputs arranged in the lengthy direction of a semiconductor chip, three steps of a PROM decoder 416P are put together adjacently in the chip lengthy direction, and three steps of an NROM decoder 416N are put together, adjacently in the chip lengthy direction and arranged adjacently to the PROM decoder 416P in the chip lengthy direction, therefore an adjacent part between the PROM decoder 416P and the NROM decoder 416N exists on only one part. Also, by arranging mirroringly one conductive type ROM decoder 416P and another conductive type ROM decoder 416N in adjacent circuit blocks, an adjacent part between one conductive type ROM decoder 416P and another conductive type ROM decoder 416N does not exist between the adjacent circuit blocks, therefore a layout size of the D/A converter 416 in the chip lengthy direction can be reduced.



LEGAL STATUS

[Date of request for examination] 26.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3206590

[Date of registration] 06.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

(書誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2000-221927(P2000-221927A)
 (43)【公開日】平成12年8月11日(2000. 8. 11)
 (54)【発明の名称】集積回路装置およびそれを用いた液晶表示装置
 (51)【国際特許分類第7版】

G09G	3/20	621
		623
		680
G02F	1/133	550
G09F	9/00	348
G09G	3/36	

【FI】

G09G	3/20	621 M
		623 F
		680 G
G02F	1/133	550
G09F	9/00	348 L
G09G	3/36	

【審査請求】有**【請求項の数】10****【出願形態】OL****【全頁数】14**

- (21)【出願番号】特願平11-145754
 (22)【出願日】平成11年5月26日(1999. 5. 26)
 (31)【優先権主張番号】特願平10-333488
 (32)【優先日】平成10年11月25日(1998. 11. 25)
 (33)【優先権主張国】日本(JP)
 (71)【出願人】

【識別番号】000156950**【氏名又は名称】関西日本電気株式会社****【住所又は居所】滋賀県大津市晴嵐2丁目9番1号****(72)【発明者】****【氏名】清水 信雄****【住所又は居所】滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内****(72)【発明者】****【氏名】小坂 恭大****【住所又は居所】滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内****(57)【要約】****【課題】**半導体チップに含まれるROMデコーダの面積の縮小を図る。

【解決手段】半導体チップの長尺方向に配置される6個の出力を有する64個の回路ブロック403の各D/Aコンバータ416は、PROMデコーダ416Pの3段をチップ長尺方向に隣接して一まとめにすると共に、NROMデコーダ416Nの3段をチップ長尺方向に隣接して一まとめにしPROMデコーダ416Pにチップ長尺方向に隣接配置することにより、PROMデコーダ416PとNROMデコーダ416Nとが隣接される個所は回路ブロック403内で1個所となり、また隣接する回路ブロック403で一導電型ROMデコーダ416Pと他導電型ROMデコーダ416Nとをミラー配置することにより、隣接する回路ブロック403間で一導電型ROMデコーダ416Pと他導電型ROMデコーダ41

6Nとの隣接個所は発生しないので、D/Aコンバータ416のチップ長尺方向のレイアウト寸法を小さくすることができる。

【特許請求の範囲】

【請求項1】L(偶数)個の出力を有する回路ブロックを長尺矩形の半導体チップの長尺方向にM段配置し、回路ブロックに含まれるD/Aコンバータの一導電型ROMデコーダと他導電型ROMデコーダとからの一極性階調電圧と他極性階調電圧とを前記出力から奇数番目出力と偶数番目出力とで極性が相異なるようにして1水平期間毎に交互に出力する集積回路装置であって、前記一導電型ROMデコーダが(L/2)段をチップ長尺方向に隣接して一まとめに配置されると共に、前記他導電型ROMデコーダが(L/2)段をチップ長尺方向に隣接して一まとめして前記一導電型ROMデコーダにチップ長尺方向に隣接配置された集積回路装置。

【請求項2】前記一導電型ROMデコーダと前記他導電型ROMデコーダとが前記各回路ブロックの隣接する回路ブロックでミラー配置された請求項1記載の集積回路装置。

【請求項3】前記一導電型ROMデコーダの(L/2)段が一導電型半導体基板に形成された1つの他導電型ウェルに配置され、前記他導電型ROMデコーダの(L/2)段が前記他導電型ウェルに隣接して前記一導電型半導体基板に配置された請求項1記載の集積回路装置。

【請求項4】前記一導電型ROMデコーダの各段がNビット表示データに基づいて(2のN乗)階調のうちの1階調の一極性階調電圧を出力し、他導電型ROMデコーダの各段がNビット表示データに基づいて(2のN乗)階調のうちの1階調の他極性階調電圧を出力する請求項1記載の集積回路装置。

【請求項5】前記ミラー配置により互いに隣接する一導電型ROMデコーダの各(L/2)段が一導電型半導体基板に形成された1つの他導電型ウェルに配置され、前記ミラー配置により互いに隣接する他導電型ROMデコーダの各(L/2)段が前記他導電型ウェルに隣接して前記一導電型半導体基板に配置された請求項2記載の集積回路装置。

【請求項6】前記一導電型ROMデコーダが、一導電型エンハンスメント形トランジスタと一導電型デプレッション形トランジスタとを所定配置で(2のN乗)行と2N列にマトリックス配置して構成され、行毎に一導電型エンハンスメント形トランジスタと一導電型デプレッション形トランジスタとの2個を1対とするN対をソースとドレインとで接続した第1の直列回路を有すると共に、各対の一方のトランジスタのゲートが列毎に共通接続された一方のゲート列と他方のトランジスタのゲートが列毎に共通接続された他方のゲート列とからなる第1のゲート列対を有し、前記各第1のトランジスタ直列回路の一端は前記(2のN乗)階調の一極性階調電圧が接続され他端は共通接続されて後段に接続されると共に、前記第1のゲート列対の一方のゲート列が前記表示データの正相に接続され他方のゲート列が前記表示データの逆相に接続され、前記他導電型ROMデコーダが、他導電型エンハンスメント形トランジスタと他導電型デプレッション形トランジスタとを所定配置で(2のN乗)行と2N列にマトリックス配置して構成され、行毎に他導電型エンハンスメント形トランジスタと他導電型デプレッション形トランジスタとの2個を1対とするN対をソースとドレインとで接続した第2の直列回路を有すると共に、各対の一方のトランジスタのゲートが列毎に共通接続された一方のゲート列と他方のトランジスタのゲートが列毎に共通接続された他方のゲート列とからなる第2のゲート列対を有し、前記各第2のトランジスタ直列回路の一端は前記(2のN乗)階調の他極性階調電圧が接続され他端は共通接続されて後段に接続されると共に、前記第2のゲート列対の一方のゲート列が前記表示データの正相に接続され他方のゲート列が前記表示データの逆相に接続された請求項4記載の集積回路装置。

【請求項7】前記一導電型ROMデコーダの各段のトランジスタのソースおよびドレインが一導電型半導体基板に形成された1つの他導電型ウェルに一導電型拡散層として形成され、前記他導電型ROMデコーダの各段のソースおよびドレインが前記他導電型ウェルに隣接して前記一導電型半導体基板に他導電型拡散層として形成された請求項6記載の集積回路装置。

【請求項8】前記(2のN乗)階調の一極性階調電圧および他極性階調電圧が、前記回路ブロック内または回路ブロック間で隣接する一導電型ROMデコーダと他導電型ROMデコーダ間に配置した階調電圧発生回路により一導電型ROMデコーダおよび他導電型ROMデコーダに供給される請求項4記載の集積回路装置。

【請求項9】前記階調電圧発生回路がポリシリコンからなるラダー抵抗で構成された請求項8記載の集積回路装置。

【請求項10】請求項1記載の集積回路装置が液晶パネルのデータ線駆動用でテープキャリアパッケージに搭載されたことを特徴とする液晶表示装置。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路装置およびそれを用いたアクティブマトリックス型でドット反転駆動方式の液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリックス型でドット反転駆動方式の液晶表示装置の液晶表示モジュールは、図12に示すように液晶パネル100と液晶パネル100の外周に配置した駆動装置200とを具備している。液晶パネル100は、液晶を介して互いに対向配置した2枚のガラス基板で構成され、リア側の基板にはTFT(薄膜トランジスタ)と画素電極が、フロント側の基板にはコモン電極とカラーフィルタが形成されている。リア側の基板にはTFTと画素電極がマトリックス状に形成され、これらのTFTと画素電極を水平方向に延在し、垂直方向に並設されるゲート線と、垂直方向に延在し、水平方向に並設されるデータ線が接続している。駆動装置200は、ゲート線に接続される垂直ドライバ210と、データ線に接続される水平ドライバ220とで構成されている。垂直ドライバ210からあるゲート線に走査信号が供給されることにより、このゲート線に接続されているTFTがオンし、水平ドライバ220からデータ線に供給された表示データ信号がこのオンしたTFTを介して画素電極に供給され、この画素電極とコモン電極で液晶に電界が加わり、光学的変化を起こして表示を行う。

【0003】各ドライバ210、220のモジュールへの実装は、例えばXGA(1024×768画素)表示の場合、■水平ドライバ220は、データ線はR(赤)、G(緑)、B(青)用が必要なため、1024×3=3072本のデータ線を駆動する必要があるため、例えば、384本分の駆動能力を有する水平ドライバ220を液晶パネル100の上側外周に8個をカスケード接続で片側配置される。

■垂直ドライバ210は、768本のゲート線を駆動する必要があるため、例えば192本分の駆動能力を有する垂直ドライバ210を液晶パネル100の左側外周に4個をカスケード接続で片側配置される。

また、ドライバ210、220は長尺矩形の半導体チップからなる集積回路装置で構成され、この集積回路装置のモジュールへの実装は、TCP(テープキャリアパッケージ)に各集積回路装置を搭載して、液晶パネル100の対応する辺に半導体チップの長辺側で平行配置される。

【0004】本出願の発明は上記ドライバ210、220のうち水平ドライバ220についてのものであり、以下、水平ドライバ220の概略構成について図13を参照して説明する。水平ドライバ220は表示データとしてR、G、B各色6ビット表示データを供給することにより64階調の負極性および正極性階調電圧を負極性および正極性駆動電圧としてデータ線に奇数線と偶数線とで極性が相異なるようにして1水平期間毎に交互に出力するもので、主回路としてシフトレジスタ221、データレジスタ222、ラッチ223、レベルシフタ224、D/Aコンバータ225およびボルテージフォロア出力回路226を有している。シフトレジスタ221は、例えば、64ビット双方向性でシフト方向切換え入力により右シフト・スタートパルス入出力または左シフト・スタートパルス入出力が選択され、クロック入力のエッジでスタートパルスのHレベルを読み込み、データ取込み用の制御信号を順次生成し、データレジスタ222に出力する。データレジスタ222はシフトレジスタ221の各段からの制御信号に基づき6段毎に順次6ビット表示データを読み込み、ラッチ223はデータレジスタ222に読み込まれた表示データをラッチ入力のエッジで、レベルシフタ224を介してD/Aコンバータ225に1水平期間毎に一括出力する。D/Aコンバータ225は各出力に対応する表示データに基づき、補正電源入力により内部の階調電圧発生回路で生成された64階調の負極性および正極性階調電圧のうち1つづつを内部のROMデコーダで選択してボルテージフォロア出力回路226を介して各データ線に負極性および正極性駆動電圧として奇数線と偶数線とで極性が相異なるようにして1水平期間毎に交互に出力する。

【0005】次に、水平ドライバ220としてTCPに搭載される従来の集積回路装置をデータ線384本分の駆動能力を有するものとして図7を参照して説明する。図において、301は長尺矩形の半導体チップで、半導体チップ301には、長辺に沿う中央部に上記で説明した水平ドライバ220の回路が内部回路302として配置されている。図示しないが、長辺に沿う両外周部の内、液晶パネル側に配置される外周部にデータ線384本分に対応した出力用パッドが内部回路2と接続されて配置され、反対側の外周部にスタートパルス入出力、シフト方向切り替え入力、クロック入力、データ入力、ラッチ入力等の入力用パッドと正電源、負電源、補正電源の電源用パッドが内部回路302と接続されて配置されている。尚、出力用パッドの一部は液晶パネル側の長辺の他に短辺また

は入力側の長辺にも配置されることがある。

【0006】次に、内部回路302について図8を参照して説明する。尚、説明を簡明にするために、6出力を有するものを図示して説明し、階調電圧発生回路等の共通回路および外部からの電源入力や信号入力の図示を省略する。内部回路302は、1段が6出力に対応する1段(384出力の場合は64段)のシフトレジスタ311と、6出力分に対応する6段(384出力の場合は384段)のデータレジスタ312と、2入力2出力の切り替えスイッチが3段(384出力の場合は192段)の第1切り替えスイッチ313と、6出力分に対応する6段(384出力の場合は384段)のラッチ314と、6出力分に対応する6段(384出力の場合は384段)のレベルシフタ315と、3段(384出力の場合は192段)のNROMデコーダ316Nと3段(384出力の場合は192段)のPROMデコーダ316Pとを半導体チップ301の長尺方向に1段ずつ交互に配置したD/Aコンバータ316と、2入力2出力の切り替えスイッチが3段(384出力の場合は192段)の第2切り替えスイッチ317と、6出力分に対応する6段(384出力の場合は384段)のボルテージフォロア出力回路318とをボルテージフォロア出力回路318を半導体チップ301の液晶パネル側の長辺側にして順次、段配置して構成し、シフトレジスタ311とデータレジスタ312間を配線321と、データレジスタ312と第1切り替えスイッチ313間を配線322と、第1切り替えスイッチ313とラッチ314間を配線323と、ラッチ314とレベルシフタ315間を配線324と、レベルシフタ315とD/Aコンバータ316間を配線325と、D/Aコンバータ316と第2切り替えスイッチ317間を配線326と、第2切り替えスイッチ317とボルテージフォロア出力回路318間を配線327とで接続している。

【0007】内部回路302の動作は、シフトレジスタ311において、シフト方向切換え入力により、例えば、右シフト・スタートパルス入出力が選択されると1水平期間毎にシフトレジスタ311にクロック入力のエッジでスタートパルスのHレベルが読込まれ次段の内部回路302に右シフト・スタートパルスとして出力されると共に、データ取込み用の制御信号がデータレジスタ312の第1段目から第6段目に出力される。データレジスタ312は1水平期間毎にシフトレジスタ311の制御信号により第1段目から第6段目の各段に6ビットの表示データを取込み、データレジスタ312の奇数段である第 i ($i=1, 3, 5$)段目に取込まれた表示データは第1切り替えスイッチ313の第 $(i+1)/2$ 段目の一入力側に出力されると共に、データレジスタ312の偶数段である第 $(i+1)$ 段目に取込まれた表示データは第1切り替えスイッチ313の第 $(i+1)$ 段目の他入力側に出力される。第1切り替えスイッチ313は1水平期間毎に第 $(i+1)/2$ 段目の一入力側と他入力側に供給された表示データをラッチ314の第 i 段目と第 $(i+1)$ 段目に交互にそれぞれ出力する。ラッチ314は1水平期間毎に第 i 段目と第 $(i+1)$ 段目に供給された表示データをラッチ入力のエッジでレベルシフタ315を介してD/Aコンバータ316の内部のNROMデコーダ316NとPROMデコーダ316Pの各第 $(i+1)/2$ 段目にそれぞれ一括出力する。D/Aコンバータ316は内部のNROMデコーダ316Nの第1段目から第3段目に供給された表示データに基づき64階調の負の階調電圧のうち1つずつを第2切り替えスイッチ317の第 $(i+1)/2$ 段目の一入力側にそれぞれ出力すると共に、内部のPROMデコーダ316Pの第 $(i+1)/2$ 段目に供給された表示データに基づき64階調の正の階調電圧のうち1つを第2切り替えスイッチ317の第 $(i+1)/2$ 段目の他入力側にそれぞれ出力する。第2切り替えスイッチ317は第 $(i+1)/2$ 段目のそれぞれの一入力側に供給された負極性階調電圧と他入力側に供給された正極性階調電圧をボルテージフォロア出力回路318の奇数段である第 i 段目と偶数段である第 $(i+1)$ 段目とに極性が相異なるようにして1水平期間毎に交互にそれぞれ出力する。ボルテージフォロア出力回路318は第1段目から第6段目の各段に供給された負極性階調電圧と正極性階調電圧を奇数段と偶数段とで極性が相異なるようにして1水平期間毎に交互に奇数データ線と偶数データ線とに出力する。

【0008】次に、D/Aコンバータ316に含まれるPROMデコーダ316PおよびNROMデコーダ316Nの回路構成について説明する。PROMデコーダ316Pは図9に示すように、Pチャネルエンハンスメント形トランジスタ1PとPチャネルデプレッション形トランジスタ2P(常時オン状態)とを所定位置で64行と12列にマトリックス配置している。各行はトランジスタ1Pとトランジスタ2P(常時オン状態)とがトランジスタ1Pのドレイン及びトランジスタ2Pのソース又はトランジスタ1Pのソース及びトランジスタ2Pのドレインで直列接続されたものを一対としてそれらが更に六対組み合わせられトランジスタ直列回路3Pを構成している。各行の各対は各対のトランジスタの一方のゲートが列毎に共通接続されたゲート列4Paと、他方のゲートが列毎に共通接続されたゲート列4Pbとでゲート列対4Pを構成している。各トランジスタ直列回路3Pの一端側である第1列目のトランジスタ1P又は2Pのソースには図示しない階調電圧発生回路から64階調の正極性階調電圧VP1～VP64がそれぞれ供給される。各ゲート列対4Pには前段回路から液晶表示パネルのデータ線に対応する6ビットの表示データDP1, DP2, …, DP6がゲート列4Paに正相DP1, DP2, …, DP6

で供給され、ゲート列4Pbに逆相DP1バー、DP2バー、…、DP6バーで供給される。各トランジスタ直列回路3Pの他端側である第12列目のトランジスタ1P又は2Pのドレインは共通接続され、後段回路に正極性階調電圧VP1～VP64のうち表示データに対応する1つの階調電圧が出力される。

【0009】NROMデコーダ316Nは図10に示すように、Nチャネルエンハンスメント形トランジスタ1NとNチャネルデプレッション形トランジスタ2N(常時オン状態)とを所定位置で64行と12列にマトリックス配置している。各行はトランジスタ1Nとトランジスタ2N(常時オン状態)とがトランジスタ1Nのドレイン及びトランジスタ2Nのソース又はトランジスタ1Nのソース及びトランジスタ2Nのドレインで直列接続されたものを一対としてそれらが更に六対組み合わせられトランジスタ直列回路3Nを構成している。各行の各対は各対のトランジスタの一方のゲートが列毎に共通接続されたゲート列4Naと、他方のゲートが列毎に共通接続されたゲート列4Nbとでゲート列対4Nを構成している。各トランジスタ直列回路4Nの一端側である第1列目のトランジスタ1N又は2Nのドレインには図示しない階調電圧発生回路から64階調の負極性階調電圧VN1～VN64がそれぞれ供給される。各ゲート列対4Nには前段回路から液晶表示パネルのデータ線に対応する6ビットの表示データDN1、DN2、…、DN6がゲート列4Naに正相DN1、DN2、…、DN6で供給され、ゲート列4Nbに逆相DN1バー、DN2バー、…、DN6バーで供給される。各トランジスタ直列回路3Nの他端側である第12列目のトランジスタ1N又は2Nのドレインは共通接続され、後段回路に負極性階調電圧VN1～VN64のうち表示データに対応する1つの階調電圧が出力される。

【0010】以上の構成のPROMデコーダ316PおよびNROMデコーダ316Nの動作を説明する。各トランジスタ直列回路3P、3Nの一端側である第1列目のトランジスタ1P、1N又は2P、2Nのソースに64階調の階調電圧VP1～VP64、VN1～VN64が与えられる。この状態で各ゲート列対4P、4Nに“H(ハイレベル)”又は“L”の所定のデータ信号DP1、DP2、…、DP6、DN1、DN2、…、DN6がゲート列4Pa、4Naに正相DP1、DP2、…、DP6、DN1、DN2、…、DN6で供給され、ゲート列4Pb、4Nbに逆相DP1バー、DP2バー、…、DP6バー、DN1バー、DN2バー、…、DN6バーでそれぞれ供給されると各トランジスタ直列回路3P、3Nの内選択された1つのトランジスタ直列回路3P、3Nのトランジスタ1P、1Nがすべてオン状態(トランジスタ2P、2Nは常時オン状態)となり、そのトランジスタ直列回路3P、3Nに与えられている階調電圧が取り出される。

【0011】上記回路構成のPROMデコーダ316PとNROMデコーダ316Nの半導体チップ301上でのパターン配置は、図11に示すように3段のPROMデコーダ316Pと3段のNROMデコーダ316Nが半導体チップ301の長尺方向に1段ずつ交互に配置されている。各PROMデコーダ316PはP型半導体基板11に配列されたNウェル12内に、64行12列のマトリックス配置されたトランジスタ1P、2PのソースおよびドレインとなるP型拡散層13Pと、6対のゲート列対4Pとなるゲート配線14Pとを含んで構成されている。各第1列目のトランジスタ1P又は2PのソースとなるP型拡散層13Pは行毎に金属配線15Pにより電氣的に共通接続(●印で図示する)され階調電圧発生回路から各正極性階調電圧VP1～VP64がそれぞれ供給されるようになっている。各第12列目のトランジスタ1P又は2PのドレインとなるP型拡散層13Pは列毎に金属配線16Pにより電氣的に共通接続(■印で図示する)され後段回路に正極性階調電圧VP1～VP64のうち表示データに対応する1つの階調電圧が出力されるようになっている。各NROMデコーダ316NはNウェル12にチップ長尺方向に隣接してP型半導体基板11内に、64行12列のマトリックス配置されたトランジスタ1N、2NのソースおよびドレインとなるN型拡散層13Nと、6対のゲート列対4Nとなるゲート配線14Nとを含んで構成されている。各第1列目のトランジスタ1N又は2NのドレインとなるN型拡散層13Nは行毎に金属配線15Nにより電氣的に共通接続(●印で図示する)され階調電圧発生回路から各負極性階調電圧VN1～VN64がそれぞれ供給されるようになっている。各第12列目のトランジスタ1N又は2NのソースとなるN型拡散層13Nは列毎に金属配線16Nにより電氣的に共通接続(■印で図示する)され後段回路に負極性階調電圧VN1～VN64のうち表示データに対応する1つの階調電圧が出力されるようになっている。金属配線15Pと金属配線15Nを交互に配置するようにP型拡散層13PとN型拡散層13Nはチップ短尺方向に互いに半ピッチずらして配置している。

【0012】

【発明が解決しようとする課題】ところで、3段のPROMデコーダ316Pと3段のNROMデコーダ316Nをチップ長尺方向に1段ずつ交互に配置するときPROMデコーダ316Pを配置するためのNウェル12を設けており、例えば、NROMデコーダ316Nのトランジスタ1N、2Nのチップ長尺方向の寸法を2.7mとして、N型拡散層13NはNウェル12から12本のゲート列24.7mに対して約2倍

の50 μ m程度で離間している。384本出力の場合、N型拡散層13NとNウェル12との隣接個所は383個所あり、 $383 \times 50\mu\text{m} \approx 19\text{mm}$ となり半導体チップ301の長尺方向の寸法に占める割合が大きいという第1の問題があった。また、3段のPROMデコーダ316Pと3段のNROMデコーダ316Nをチップ長尺方向に1段ずつ交互に配置しており、階調電圧発生回路からの正極性階調電圧をPROMデコーダ316Pに供給および負極性階調電圧をNROMデコーダ316Nに供給するのに、正極性階調電圧を供給する金属配線15PがNROMデコーダ316N上を介して、また負極性階調電圧を供給する金属配線15NがPROMデコーダ316P上を介して配置しなければならず、P型拡散層13PとN型拡散層13Nはチップ短尺方向に互いに半ピッチずらして配置し、チップ短尺方向のN型拡散層13N間に金属配線15Pを配置およびP型拡散層13P間に金属配線15Nを配置するためのレイアウト面積を確保しなければならないという第2の問題があった。本発明は上記問題点を鑑みてなされたものであり、第1の課題は、第1の問題点を解決するために、半導体チップ上の内部回路をL個の出力を有するM段の回路ブロックで構成し、各駆動ブロック単位にL/2段の一導電型ROMデコーダを隣接して一まとめに配置すると共に、L/2段の他導電型ROMデコーダを隣接して一まとめにし一導電型ROMデコーダに隣接配置することにより、一導電型ROMデコーダと他導電型ROMデコーダとの隣接個所を各回路ブロック内で1個所にした集積回路装置およびそれを用いた液晶表示装置を提供することである。第2の課題は、第2の問題を解決するために、第1の問題を解決した集積回路装置およびそれを用いた液晶表示装置において、回路ブロック内の一導電型ROMデコーダと他導電型ROMデコーダ間、又は、回路ブロック間に階調電圧発生回路を配置して正極性階調電圧を供給する金属配線は他導電型ROMデコーダ上を介さず、負極性階調電圧を供給する金属配線は一導電型ROMデコーダ上を介さずに配置した集積回路装置およびそれを用いた液晶表示装置を提供することである。

【0013】

【課題を解決するための手段】(1)本発明の集積回路装置は、L(偶数)個の出力を有する回路ブロックを長尺矩形の半導体チップの長尺方向にM段配置し、回路ブロックに含まれるD/Aコンバータの一導電型ROMデコーダと他導電型ROMデコーダとからの一極性階調電圧と他極性階調電圧とを前記出力から奇数番目出力と偶数番目出力とで極性が相異なるようにして1水平期間毎に交互に出力する集積回路装置であって、前記一導電型ROMデコーダが(L/2)段をチップ長尺方向に隣接して一まとめに配置されると共に、前記他導電型ROMデコーダが(L/2)段をチップ長尺方向に隣接して一まとめして前記一導電型ROMデコーダにチップ長尺方向に隣接配置されている。本手段によれば、集積回路装置としての半導体チップにL個の出力を有する回路ブロックをM段配置し、各駆動ブロック単位に一導電型ROMデコーダの(L/2)段をチップ長尺方向に隣接して一まとめにすると共に、他導電型ROMデコーダの(L/2)段をチップ長尺方向に隣接して一まとめにし一導電型ROMデコーダにチップ長尺方向に隣接配置することにより、各回路ブロック内の一導電型ROMデコーダと他導電型ROMデコーダとの隣接個所は1個所だけとすることができる。

(2)本発明の集積回路装置は上記(1)項において、前記D/Aコンバータが隣接する回路ブロックにおいて前記一導電型ROMデコーダと前記他導電型ROMデコーダとをミラー配置している。本手段によれば、隣接する回路ブロックで一導電型ROMデコーダと他導電型ROMデコーダをミラー配置することにより、隣接する回路ブロック間で一導電型ROMデコーダと他導電型ROMデコーダとの隣接個所は発生しない。

(3)本発明の集積回路装置は上記(1)項において、前記一導電型ROMデコーダの(L/2)段が一導電型半導体基板に形成された1つの他導電型ウェルに配置され、前記他導電型ROMデコーダの(L/2)段が前記他導電型ウェルに隣接して前記一導電型半導体基板に配置されている。

(4)本発明の集積回路装置は上記(1)項において、前記一導電型ROMデコーダの各段がNビット表示データに基づいて(2のN乗)階調のうちの1階調の一極性階調電圧を出力し、他導電型ROMデコーダの各段がNビット表示データに基づいて(2のN乗)階調のうちの1階調の他極性階調電圧を出力する。

(5)本発明の集積回路装置は上記(2)項において、前記ミラー配置により互いに隣接する一導電型ROMデコーダの各(L/2)段が一導電型半導体基板に形成された1つの他導電型ウェルに配置され、前記ミラー配置により互いに隣接する他導電型ROMデコーダの各(L/2)段が前記他導電型ウェルに隣接して前記一導電型半導体基板に配置されている。

(6)本発明の集積回路装置は上記(4)項において、前記一導電型ROMデコーダが一導電型エンハンスメント形トランジスタと一導電型デプレッション形トランジスタとを所定配置で(2のN乗)行

と2N列にマトリックス配置して構成され、行毎に一導電型エンハンスメント形トランジスタと一導電型デプレッション形トランジスタとの2個を1対とするN対をソースとドレインとで接続した第1の直列回路を有すると共に、各対の一方のトランジスタのゲートが列毎に共通接続された一方のゲート列と他方のトランジスタのゲートが列毎に共通接続された他方のゲート列とからなる第1のゲート列対を有し、前記各第1のトランジスタ直列回路の一端は前記(2のN乗)階調の一極性階調電圧が接続され他端は共通接続されて後段に接続されると共に、前記第1のゲート列対の一方のゲート列が前記表示データの正相に接続され他方のゲート列が前記表示データの逆相に接続され、前記他導電型ROMデコーダが、他導電型エンハンスメント形トランジスタと他導電型デプレッション形トランジスタとを所定配置で(2のN乗)行と2N列にマトリックス配置して構成され、行毎に他導電型エンハンスメント形トランジスタと他導電型デプレッション形トランジスタとの2個を1対とするN対をソースとドレインとで接続した第2の直列回路を有すると共に、各対の一方のトランジスタのゲートが列毎に共通接続された一方のゲート列と他方のトランジスタのゲートが列毎に共通接続された他方のゲート列とからなる第2のゲート列対を有し、前記各第2のトランジスタ直列回路の一端は前記(2のN乗)階調の他極性階調電圧が接続され他端は共通接続されて後段に接続されると共に、前記第2のゲート列対の一方のゲート列が前記表示データの正相に接続され他方のゲート列が前記表示データの逆相に接続されている。

(7)本発明の集積回路装置は上記(6)項において、前記一導電型ROMデコーダの各段のトランジスタのソースおよびドレインが一導電型半導体基板に形成された1つの他導電型ウェルに一導電型拡散層として形成され、前記他導電型ROMデコーダの各段のソースおよびドレインが前記他導電型ウェルに隣接して前記一導電型半導体基板に他導電型拡散層として形成されている。本手段によれば、集積回路装置としての半導体チップ上の内部回路をL個の出力を有するM段の回路ブロックで構成し、各駆動ブロック単位に一導電型ROMデコーダの(L/2)段をチップ長尺方向に隣接して一まとめにすると共に、他導電型ROMデコーダの(L/2)段をチップ長尺方向に隣接して一まとめにし一導電型ROMデコーダにチップ長尺方向に隣接配置することにより、一導電型ROMデコーダと他導電型ROMデコーダとの隣接個所は回路ブロック内で1個所だけとすることができる。

(8)本発明の集積回路装置は、上記(4)項において、前記(2のN乗)階調の一極性階調電圧および他極性階調電圧が、前記回路ブロック内または回路ブロック間で隣接する一導電型ROMデコーダと他導電型ROMデコーダ間に配置した階調電圧発生回路により一導電型ROMデコーダおよび他導電型ROMデコーダに供給される。本手段によれば、階調電圧発生回路と一導電型ROMデコーダとが他導電型ROMデコーダ上を介さず接続できるとともに、階調電圧発生回路と他導電型ROMデコーダとが一導電型ROMデコーダ上を介さず接続できるので、階調電圧発生回路から一導電型ROMデコーダへの配線が他導電型ROMデコーダ上に不要であるとともに、他導電型ROMデコーダへの配線が一導電型ROMデコーダ上に不要となる。

(9)本発明の集積回路装置は、上記(8)項において、前記階調電圧発生回路がポリシリコンからなるラダー抵抗で構成されている。

(10)本発明の液晶表示装置は、上記(1)乃至(8)項のうち一の集積回路装置が液晶パネルのデータ線駆動用でテープキャリアパッケージに搭載されたことを特徴とする。

【0014】

【発明の実施の形態】以下に、第1実施例として、第1の課題を解決した水平ドライバ用の集積回路装置を例えば、データ線S本として384本分の駆動能力を有するものとして図1乃至図3を参照して説明する。図1において、401は長尺矩形の半導体チップで、半導体チップ401には、長辺に沿う中央部に図13で説明した水平ドライバ220と概略構成が同様の回路が内部回路402として配置されている。図示しないが、長辺に沿う両外周部の内、液晶パネル側に配置される外周部にデータ線384本分に対応した出力用パッドが内部回路402と接続されて配置され、反対側の外周部にスタートパルス入出力、シフト方向切り替え入力、クロック入力、データ入力、ラッチ入力等の入力用パッドと正電源、負電源、補正電源の電源用パッドが内部回路402と接続されて配置されている。尚、出力用パッドの一部は液晶パネル側の長辺の他に短辺または入力側の長辺にも配置されることがある。内部回路402内はレイアウト的に例えば、L個=6個の出力を有する回路ブロック403を $M=S/L=64$ 段、チップ長尺方向に隣接配置し、全体で $S=384$ 個の出力となるように構成している。回路ブロック403は奇数段目の回路ブロック403aと偶数段目の回路ブロック403bとで回路配置が一部異なっている。

【0015】次に、回路ブロック403a、403bについて図2を参照して説明する。尚、階調電圧発生回路等の共通回路および外部からの電源入力や信号入力の図示を省略する。回路ブロック403

a, 403bは、クロック入力のエッジでスタートパルスのHレベルを読込むことによりデータ取込み用の制御信号を生成する1段が6出力に対応する1段のシフトレジスタ411と、シフトレジスタ411からの制御信号により、例えばNビットとして6ビットの表示データを取り込む6段のデータレジスタ412と、データレジスタ412の奇数段であるi段目($i=1, 3, 5$)と偶数段である($i+1$)段目に取込まれた表示データを交互に出力する2入力2出力の3段の第1切り替えスイッチ413と、第1切り替えスイッチ413からの表示データをラッチ入力のエッジで一括出力する6段のラッチ414と、ラッチ414からの表示データの電圧レベルを次段回路を駆動できるレベルに変換する6段のレベルシフタ415と、(2のN乗)階調である64階調の一極性である正の階調電圧が供給されレベルシフタ415からの表示データに基づき各段からその階調電圧のうち1つづつを出力する3段をチップ長尺方向に隣接して一まとめにした一導電型ROMデコーダであるPROMデコーダ416Pと64階調の他極性である負の階調電圧が供給されレベルシフタ415からの表示データに基づき各段からその階調電圧のうち1つづつを出力する3段をチップ長尺方向に隣接して一まとめにした他導電型ROMデコーダであるNROMデコーダ416Nとを半導体チップ401の長尺方向に隣接配置したD/Aコンバータ416と、D/Aコンバータ416からの正および負の階調電圧を交互に一出力側と他出力側に出力する2入力2出力の3段の第2切り替えスイッチ417と、第2切り替えスイッチ417の一出力側と他出力側からの階調電圧を奇数段と偶数段にそれぞれ出力する6段のボルテージフォロア出力回路418とをボルテージフォロア出力回路418を半導体チップ401の液晶パネル側の長辺側にして順次、段配置して構成し、シフトレジスタ411とデータレジスタ412間を配線421と、データレジスタ412と第1切り替えスイッチ413間を配線422と、第1切り替えスイッチ413とラッチ414間を配線423と、ラッチ414とレベルシフタ415間を配線424と、レベルシフタ415とD/Aコンバータ416間を配線425と、D/Aコンバータ416と第2切り替えスイッチ417間を配線426と、第2切り替えスイッチ417とボルテージフォロア出力回路418間を配線427とで接続している。

【0016】回路ブロック403aのD/Aコンバータ416のPROMデコーダ416PとNROMデコーダ416Nが例えば、図2に示すように配置されているとすると回路ブロック403bのD/Aコンバータ416のPROMデコーダ416PとNROMデコーダ416Nはこれとは逆配置され、隣接する回路ブロック403aと回路ブロック403bとでPROMデコーダ416PとNROMデコーダ416Nとがミラー配置となるようにしている。ここで、D/Aコンバータ416に含まれるPROMデコーダ416PおよびNROMデコーダ416Nの各段は、例えば、図9および図10と同一の回路構成である。

【0017】配線421はシフトレジスタ411とデータレジスタ412の第1段目から第6段目間を接続している。配線422はデータレジスタ412の第i($i=1, 3, 5$)段目と第1切り替えスイッチ413の($i+1$)/2段目の2入力の一入力側間、データレジスタ412の第($i+1$)段目と第1切り替えスイッチ413の($i+1$)/2段目の2入力の他入力側間をそれぞれ6本で接続している。配線423は第1切り替えスイッチ413の1段目の2出力の一出力側とラッチ414の第1段目間、第1切り替えスイッチ413の2段目の2出力の一出力側とラッチ414の第3段目間、第1切り替えスイッチ413の3段目の2出力の一出力側とラッチ414の第2段目間、第1切り替えスイッチ413の1段目の2出力の他出力側とラッチ414の第5段目間、第1切り替えスイッチ413の2段目の2出力の他出力側とラッチ414の第4段目間、および第1切り替えスイッチ413の3段目の2出力の他出力側とラッチ414の第6段目間をそれぞれ6本で接続している。配線424はラッチ414の第j($j=1, 2, \dots, 6$)段目とレベルシフタ415の第j段目間をそれぞれ6本で接続している。配線425は回路ブロック403aの場合、図のとおり、レベルシフタ415の第k($k=1, 2, 3$)段目とNROMデコーダ416Nの第k段目間およびレベルシフタ415の第($k+3$)段目とPROMデコーダ416Pの第k段目間をそれぞれ12本で接続し、回路ブロック403bの場合、図とは異なり、レベルシフタ415の第k($k=1, 2, 3$)段目とPROMデコーダ416Pの第k段目間およびレベルシフタ415の第($k+3$)段目とNROMデコーダ416Nの第k段目間をそれぞれ12本で接続している。配線426は回路ブロック403aの場合、図のとおり、NROMデコーダ416Nの第1段目と第2切り替えスイッチ417の第1段目の2入力の一入力側間、NROMデコーダ416Nの第2段目と第2切り替えスイッチ417の第3段目の2入力の一入力側間、NROMデコーダ416Nの第3段目と第2切り替えスイッチ417の第2段目の2入力の一入力側間、PROMデコーダ416Pの第1段目と第2切り替えスイッチ417の第2段目の2入力の他入力側間、PROMデコーダ416Pの第2段目と第2切り替えスイッチ417の第1段目の2入力の他入力側間、およびPROMデコーダ416Pの第3段目と第2切り替えスイッチ417の第3段目の2入力の他入力側間をそれぞれ1本で接続し、回路ブロック403bの場合、図とは異なり、PROMデコーダ416Pの第1段目と第2切り替えスイッチ417の第1段目の2入力の一入力側間、PROMデコーダ416Pの第2段目と第2切り替えスイッチ417の第3段目の2入

力の一入力側間、PROMデコーダ416Pの第3段目と第2切り替えスイッチ417の第2段目の2入力の一入力側間、NROMデコーダ416Nの第1段目と第2切り替えスイッチ417の第2段目の2入力の他入力側間、NROMデコーダ416Nの第2段目と第2切り替えスイッチ417の第1段目の2入力の他入力側間、およびNROMデコーダ416Nの第3段目と第2切り替えスイッチ417の第3段目の2入力の他入力側間をそれぞれ1本で接続している。配線427は第2切り替えスイッチ417の第 $(i+1)/2$ ($i=1, 3, 5$) 段目の2出力の一出力とボルテージフォロア出力回路418の第 i 段目間、および第2切り替えスイッチ417の第 $(i+1)/2$ 段目の2出力の他出力とボルテージフォロア出力回路418の第 $(i+1)$ 段目間をそれぞれ1本で接続している。

【0018】回路ブロック403a, 403bの動作は、シフトレジスタ411において、シフト方向切換え入力により、例えば、右シフト・スタートパルス入出力が選択されると1水平期間毎にシフトレジスタ411にクロック入力のエッジでスタートパルスのHレベルが読込まれ次段の回路ブロック403b, 403aの右シフト・スタートパルスとして出力されると共に、データ取込み用の制御信号がデータレジスタ回路412の第1段目から第6段目に出力される。データレジスタ412は1水平期間毎にシフトレジスタ411の制御信号により第1段目から第6段目の各段に6ビットの表示データを取込み、データレジスタ412の奇数段である第 i ($i=1, 3, 5$) 段目に取込まれた表示データは第1切り替えスイッチ413の第 $(i+1)/2$ 段目の一入力側に出力されると共に、データレジスタ412の偶数段である第 $(i+1)$ 段目に取込まれた表示データは第1切り替えスイッチ413の第 $(i+1)/2$ 段目の他入力側に出力される。尚、回路ブロック403aで、例えば、奇数番目出力である出力 S_i に対応する表示データがデータレジスタ412の奇数段である第 i 段目から取込まれ、偶数番目出力である出力 $S_{(i+1)}$ に対応する表示データがデータレジスタ412の偶数段である第 $(i+1)$ 段目から取込まれるとすると、回路ブロック403bでは、奇数番目出力である出力 S_i に対応する表示データがデータレジスタ412の偶数段である第 $(i+1)$ 段目から取込まれ、偶数番目出力である出力 $S_{(i+1)}$ に対応する表示データがデータレジスタ412の奇数段である第 i 段目から取込まれる。第1切り替えスイッチ413は1水平期間毎に、第1段目の一入力側と他入力側とに供給された表示データが交互にラッチ414の第1段目と第5段目とに、第2段目の一入力側と他入力側とに供給された表示データが交互にラッチ414の第3段目と第4段目とに、および第3段目の一入力側と他入力側とに供給された表示データが交互にラッチ414の第2段目と第6段目とにそれぞれ出力される。ラッチ414は1水平期間毎に第 k ($k=1, 2, 3$) 段目および第 $(k+3)$ 段目に供給された表示データがラッチ入力のエッジでレベルシフタ415を介してD/Aコンバータ416の内部のNROMデコーダ416NおよびPROMデコーダ416Pの第 k 段目に一括出力される。D/Aコンバータ416は内部のNROMデコーダ416Nの第 k 段目に供給された表示データに基づき64階調の負の階調電圧のうち1つづつが第2切り替えスイッチ417の第1段目、第3段目および第2段目の一入力側にそれぞれ出力されると共に、内部のPROMデコーダ416Pの第 k 段目に供給された表示データに基づき64階調の正の階調電圧のうち1つづつが第2切り替えスイッチ417の第2段目、第1段目および第3段目の他入力側にそれぞれ出力される。第2切り替えスイッチ417は1水平期間毎に第 $(i+1)/2$ ($i=1, 3, 5$) 段目の一入力側に供給された負極性階調電圧と他入力側に供給された正極性階調電圧をボルテージフォロア出力回路418の奇数段である第 i 段目と偶数段である第 $(i+1)$ 段目に交互にそれぞれ出力する。ボルテージフォロア出力回路418は第1段目から第6段目の各段に供給された負極性階調電圧と正極性階調電圧を奇数段と偶数段とで極性が相異なるようにして1水平期間毎に交互に奇数データ線と偶数データ線とに出力する。

【0019】次に、回路ブロック403a, 403b内のD/Aコンバータ416のPROMデコーダ416PとNROMデコーダ416Nの半導体チップ401上でのパターン配置は、回路ブロック403aのD/Aコンバータ416のPROMデコーダ416PとNROMデコーダ416Nが例えば、図2に示すように配置されているとして、回路ブロック403aの場合を例として図3に示すと、3段を一まとめにしたPROMデコーダ416Pが3段を一まとめにしたNROMデコーダ416Nにチップ長尺方向(図面で右側)に隣接して配置されている。PROMデコーダ416PはP型半導体基板21に配置されたNウェル22内に、64行12列のマトリクス配置されたトランジスタ1P, 2PのソースおよびドレインとなるP型拡散層23Pと、6対のゲート列対4Pとなるゲート配線24Pとを3段分含んで構成されている。各第1列目のトランジスタ1P又は2PのソースとなるP型拡散層23Pは行毎に金属配線25Pにより電気的に共通接続(印で図示する)され階調電圧発生回路から各正極性階調電圧 $VP_1 \sim VP_{64}$ がそれぞれ供給されるようになっている。各第12列目のトランジスタ1P又は2PのドレインとなるP型拡散層23Pは列毎に金属配線26Pにより電気的に共通接続(■印で図示する)され後段回路に正極性階調電圧 $VP_1 \sim VP_{64}$ のうち表示データに対応する1つの階調電圧が出力されるようになっている。NROMデコーダ416NはNウェル22にチップ長尺方向(図面で左側)に隣

接してP型半導体基板21内に、64行12列のマトリックス配置されたトランジスタ1N、2NのソースおよびドレインとなるN型拡散層23Nと、6対のゲート列対4Nとなるゲート配線24Nとを3段分含んで構成されている。各第1列目のトランジスタ1N又は2NのドレインとなるN型拡散層23Nは行毎に金属配線25Nにより電氣的に共通接続(印で図示する)され階調電圧発生回路から各負極性階調電圧VN1～VN64がそれぞれ供給されるようになっている。各第12列目のトランジスタ1N又は2NのソースとなるN型拡散層23Nは列毎にポリシリコンおよび金属または金属からなる配線26Nにより電氣的に共通接続(■印で図示する)され後段回路に負極性階調電圧VN1～VN64のうち表示データに対応する1つの階調電圧が出力されるようになっている。P型拡散層23PとN型拡散層23Nはチップ短尺方向に互いに半ピッチずらして配置にしている。回路ブロック403bの場合は、図3とは逆に3段を一まとめにしたPROMデコーダ416Pが3段を一まとめにしたNROMデコーダ416Nにチップ長尺方向(図面で左側)に隣接して図3と同様の構成で配置されている。尚、隣接する回路ブロック403aと回路ブロック403bはPROMデコーダ416PとNROMデコーダ416Nとがミラー配置されているため両者間でPROMデコーダ416P同士の隣接配置とNROMデコーダ416N同士の隣接配置が交互に生じるが、このPROMデコーダ416P同士の隣接配置は回路ブロック403aのNウェル22と回路ブロック403bのNウェル22とを1つに一体化して行っている。また、上記実施例では、金属配線25P、25Nに電氣的に接続する拡散層23P、23NをROMデコーダ416P、416N内の各段とも同一に配置しているが、ROMデコーダ416P、416N内の隣接する段をミラー配置して隣接する拡散層23P、23Nを1つの拡散層23P、23Nで共有してもよい。

【0020】以上のように、半導体チップ401上の内部回路402を6個の出力を有する64個の回路ブロック403に分割して配置し、各回路ブロック403単位にPROMデコーダ416Pの3段をチップ長尺方向に隣接して一まとめにすると共に、NROMデコーダ416Nの3段をチップ長尺方向に隣接して一まとめにしPROMデコーダ416Pにチップ長尺方向に隣接配置することにより、PROMデコーダ416PとNROMデコーダ416Nとの隣接個所は各回路ブロック403内で1個所となり、また隣接する回路ブロック403間でPROMデコーダ416PとNROMデコーダ416Nとがミラー配置されているために回路ブロック403間にはPROMデコーダ416PとNROMデコーダ416Nとの隣接個所は発生せず、その分、D/Aコンバータ316のチップ長尺方向の寸法を小さくすることができる。従来の384本出力の半導体チップ301の場合、PROMデコーダ316PとNROMデコーダ316Nとの隣接個所は383個所あり、その全離間距離を $383 \times 50 \mu\text{m} \approx 19\text{mm}$ 必要とするのに対して、本実施例の半導体チップ401ではPROMデコーダ416PとNROMデコーダ416Nとの隣接個所は回路ブロック403内の1個所 $\times 64 = 64$ 個所で、その全離間距離は $64 \times 50 \mu\text{m} \approx 3\text{mm}$ となり、全離間距離は約80%低減されることになる。従って、D/Aコンバータ316のチップ長尺方向のレイアウト寸法を縮小することができる。

【0021】次に第2実施例として、第2の課題を解決した水平ドライバ用の集積回路装置を、第1実施例と同様にデータ線 $S = 384$ 本分の駆動能力を有するものとして図4乃至図6を参照して説明する。図4において、501は長尺矩形の半導体チップで、半導体チップ501には、長辺に沿う中央部に図13で説明した水平ドライバ220と概略構成が同様の回路が内部回路502として配置されている。図示しないが、長辺に沿う両外周部の内、液晶パネル側に配置される外周部にデータ線384本分に対応した出力用パッドが内部回路502と接続されて配置され、反対側の外周部にスタートパルス入出力、シフト方向切り替え入力、クロック入力、データ入力、ラッチ入力等の入力用パッドと正電源、負電源、補正電源の電源用パッドが内部回路502と接続されて配置されている。尚、出力用パッドの一部は液晶パネル側の長辺の他に短辺または入力側の長辺にも配置されることがある。内部回路502内はレイアウト的に例えば、 $L = 96$ 個の出力を有する回路ブロック503を $M = S/L = 4$ 段でチップ長尺方向に隣接配置し、全体で $S = 384$ 個の出力となるように構成している。

【0022】次に、駆動回路ブロック503について説明する。この駆動回路ブロック503は $L = 96$ 個の出力に対応して、図2に示す第1実施例での回路ブロック403と同様にシフトレジスタ、データレジスタ、ラッチ、レベルシフタ、D/Aコンバータ、ボルテージフォロア出力回路および切り替えスイッチ等で構成されるが、ここでは本発明の特徴であるD/Aコンバータについて図5を参照して説明する。尚、正極性階調電圧と負極性階調電圧を交互に各データラインに出力するために1駆動回路ブロックの出力数が増加するに従い駆動回路ブロック内の配線のためのレイアウト面積も増加し、第1実施例では1駆動回路ブロックの出力数が $L = 6$ 個と少ないので問題ないが、本実施例では出力数が $L = 96$ 個と多いのでレイアウト面積が問題となるが、本出願人は特願平-10-3

08800号でこの問題を解決している。図5において、D/Aコンバータ504は、 $N=6$ ビットの表示データに対応した(2のN乗) $=64$ 階調の正極性および負極性階調電圧を供給する階調電圧発生回路505と、この階調電圧発生回路505のチップ長尺方向一方側(図面で右側)に隣接配置され正極性階調電圧が供給される48段をチップ長尺方向に隣接して一まとめにしたPROMデコーダ506Pと、階調電圧発生回路505のチップ長尺方向他方側(図面で左側)に隣接配置され負極性階調電圧が供給される48段をチップ長尺方向に隣接して一まとめにしたNROMデコーダ506Nとを含んでいる。PROMデコーダ506PおよびNROMデコーダ506Nの各段は、例えば、図9および図10と同一の回路構成である。

【0023】次に、D/Aコンバータ504の半導体チップ501上でのパターン配置を図6を参照して説明する。尚、階調電圧発生回路505はパターンで示さず、抵抗回路図で示している。この階調電圧発生回路505はポリシリコンからなるラダー抵抗が配置されて構成されている。PROMデコーダ506Pは階調電圧発生回路505にチップ長尺方向一方側(図面で右側)に隣接してP型半導体基板31に配置されたNウェル32内に、64行12列のマトリクス配置されたトランジスタ1P、2PのソースおよびドレインとなるP型拡散層33Pと、6対のゲート列対4Pとなるゲート配線34Pとを48段分含んで構成されている。各第1列目のトランジスタ1P又は2PのソースとなるP型拡散層33Pは行毎に金属配線35Pにより電氣的に共通接続(●印で図示する)され階調電圧発生回路505から各正極性階調電圧VP1～VP64がそれぞれ供給されるようになっている。各第12列目のトランジスタ1P又は2PのドレインとなるP型拡散層33Pは列毎に金属配線36Pにより電氣的に共通接続(■印で図示する)され後段回路に正極性階調電圧VP1～VP64のうち表示データに対応する1つの階調電圧が出力されるようになっている。NROMデコーダ506Nは階調電圧発生回路505にチップ長尺方向他方側(図面で左側)に隣接してP型半導体基板31内に、64行12列のマトリクス配置されたトランジスタ1N、2NのソースおよびドレインとなるN型拡散層33Nと、6対のゲート列対4Nとなるゲート配線34Nとを48段分含んで構成されている。各第1列目のトランジスタ1N又は2NのドレインとなるN型拡散層33Nは行毎に金属配線35Nにより電氣的に共通接続(●印で図示する)され階調電圧発生回路505から各負極性階調電圧VN1～VN64がそれぞれ供給されるようになっている。各第12列目のトランジスタ1N又は2NのソースとなるN型拡散層33Nは列毎にポリシリコンおよび金属または金属からなる配線36Nにより電氣的に共通接続(■印で図示する)され後段回路に負極性階調電圧VN1～VN64のうち表示データに対応する1つの階調電圧が出力されるようになっている。上記実施例では、P型拡散層33PとN型拡散層33Nはチップ短尺方向に互いに行の並びを一致させて配置にしているが必要に応じてずらしてもよい。また、金属配線35P、35Nに電氣的に接続する拡散層33P、33NをROMデコーダ506P、506N内の各段とも同一に配置しているが、ROMデコーダ506P、506N内の隣接する段をミラー配置して隣接する拡散層33P、33Nを1つの拡散層33P、33Nで共有してもよい。

【0024】以上のように、半導体チップ501上の内部回路502を96個の出力を有する4個の回路ブロック503に分割して配置し、各回路ブロック503単位にPROMデコーダ506Pの48段をチップ長尺方向に隣接して一まとめにすると共に、NROMデコーダ506Nの48段をチップ長尺方向に隣接して一まとめにし階調電圧発生回路505のチップ長尺方向両側に隣接配置することにより、PROMデコーダ506PとNROMデコーダ506Nとの隣接個所は各回路ブロック403内では階調電圧発生回路505を挟んでいるためこのレイアウト面積が必要であるが隣接による離間距離は考慮する必要がなく、また隣接する回路ブロック503間でPROMデコーダ506PとNROMデコーダ506Nとの隣接個所は3個所しか発生せず、その分、D/Aコンバータ504のチップ長尺方向の寸法を実施例1と同様に小さくすることができる。従来の384本出力の半導体チップ301の場合、PROMデコーダ316PとNROMデコーダ316Nとの隣接個所は383個所あり、その全離間距離を $383 \times 50\mu\text{m} = \text{約} 19\text{mm}$ 必要とするのに対して、本実施例の半導体チップ501ではPROMデコーダ506PとNROMデコーダ506Nとの隣接個所は回路ブロック503間の3個所で、その全離間距離は $3 \times 50\mu\text{m} = 0.15\text{mm}$ となり、全離間距離は約99%低減されることになる。従って、D/Aコンバータ504のチップ長尺方向のレイアウト寸法を縮小することができる。また金属配線35PはPROMデコーダ506P内だけに配置および金属配線35NはNROMデコーダ506N内にだけ配置すればよいので、チップ短尺方向のトランジスタのセルピッチは金属配線35Pおよび金属配線35Nにより規制されることがなくなり、その分、チップ短尺方向のレイアウト寸法を縮小することができる。またPROMデコーダのP型拡散層とNROMデコーダのN型拡散層とのチップ短尺方向の配置関係は規制されることがなくなる。

【0025】尚、上記第1および第2実施例では、一導電型としてP型、他導電型としてN型、一極性と

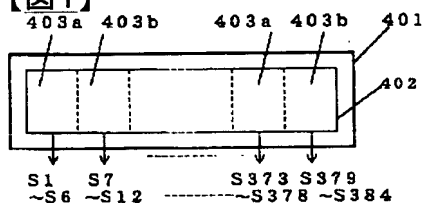
して正極性、および他極性として負極性で説明したが、一導電型としてN型、他導電型としてP型、一極性として負極性、および他極性として正極性であってもよい。また、上記第1および第2実施例で、D/Aコンバータのチップ長尺方向の寸法を小さくすることができ、その余裕のできたレイアウトに半導体チップの短尺方向のレイアウトの一部を配置することにより、半導体チップの短尺方向の寸法を縮小可能とする。例えば、図9および図10で示したROMデコーダの替わりに本出願人が特願平10-335615号で出願した集積回路装置に含まれるROMデコーダを使用すればよい。また、上記第1実施例では、奇数段目の回路ブロックと偶数段目の回路ブロックとでPROMデコーダとNROMデコーダとの配置をミラー配置として説明したが、同一配置でもよい。但しこの場合、上記第1実施例のように回路ブロックの出力数が6個と少なく、回路ブロックが64段と多いと回路ブロック間のPROMデコーダとNROMデコーダとの隣接個所が増加する。また、上記第2実施例では、奇数段目の回路ブロックと偶数段目の回路ブロックとでPROMデコーダとNROMデコーダとの配置を同一配置として説明したが、ミラー配置でもよい。但しこの場合、上記第2実施例のように回路ブロックの出力数が96個と多く、回路ブロックが4段と少ないと回路ブロック間のPROMデコーダとNROMデコーダとの隣接個所は元々3個所と少ないのでチップ長尺方向のレイアウト寸法をさらに縮小する効果は低い。また、上記実施例1では、正極性階調電圧および負極性階調電圧を供給するために正極性階調電圧を供給する金属配線がNROMデコーダ上を介して、また負極性階調電圧を供給する金属配線がPROMデコーダ上を介して配置されているが、実施例2のように回路ブロック内のPROMデコーダとNROMデコーダ間、又は、回路ブロック間に階調電圧発生回路を配置して正極性階調電圧を供給する金属配線はNROMデコーダ上を介さずに、負極性階調電圧を供給する金属配線はPROMデコーダ上を介さずに配置することもできる。この場合、上記実施例1のように回路ブロックの出力数が6個と少なく、回路ブロックが64段と多いと階調電圧発生回路の個数が増加しそのためのレイアウト面積が必要である。

【0026】

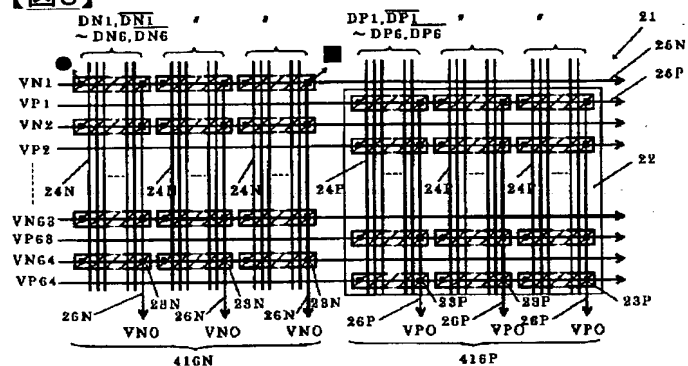
【発明の効果】本発明によれば、集積回路装置としての半導体チップ上の内部回路をL個の出力を有する回路ブロックをM段で構成し、各駆動ブロック単位に一導電型ROMデコーダの(L/2)段をチップ長尺方向に隣接して一まとめにすると共に、他導電型ROMデコーダの(L/2)段をチップ長尺方向に隣接して一まとめにし一導電型ROMデコーダにチップ長尺方向に隣接配置することにより、一導電型ROMデコーダと他導電型ROMデコーダとの隣接個所は各回路ブロック内で1個所となり、また隣接する回路ブロック間で一導電型ROMデコーダと他導電型ROMデコーダとをミラー配置することにより回路ブロック間では一導電型ROMデコーダと他導電型ROMデコーダとの隣接個所は発生せず、その分、D/Aコンバータのチップ長尺方向の寸法を小さくすることができ、半導体チップの長尺方向の寸法を縮小可能とする。また、半導体チップの長尺方向の寸法をそのままとして、D/Aコンバータのチップ長尺方向の余裕のできたレイアウトに半導体チップの短尺方向のレイアウトの一部を配置することにより、半導体チップの短尺方向の寸法を縮小可能とする。さらに、階調電圧発生回路を隣接する一導電型ROMデコーダと他導電型ROMデコーダ間に配置し、一極性階調電圧を供給するための金属配線を他導電型ROMデコーダ上を介さず一導電型ROMデコーダに電氣的接続するとともに、他極性階調電圧を供給するための金属配線を一導電型ROMデコーダ上を介さず他導電型ROMデコーダに電氣的接続することにより、チップ短尺方向の一導電型拡散層間に他極性階調電圧を供給するための金属配線を配置および他導電型拡散層間に一極性階調電圧を供給するための金属配線を配置する必要がなく、D/Aコンバータのチップ短尺方向の寸法を縮小することができ、半導体チップの短尺方向の寸法を縮小可能とする。半導体チップの長尺方向又は短尺方向の寸法を縮小することにより、半導体チップ自身の面積も縮小でき、生産コストを低減することができる。また、半導体チップの短尺方向の寸法を縮小することにより、液晶表示装置に用いた場合、液晶表示モジュールの額縁サイズを縮小でき、有効画面率(表示面積/モジュールの最外形の面積)を高められる。

図面

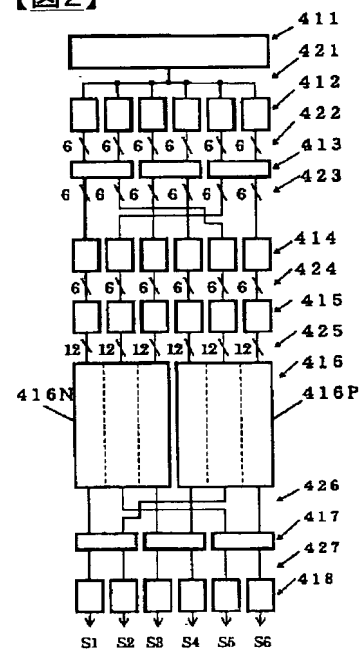
【図1】



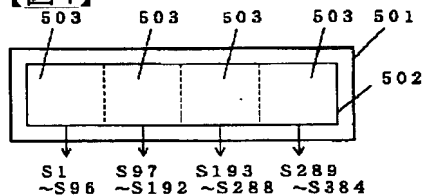
【図3】



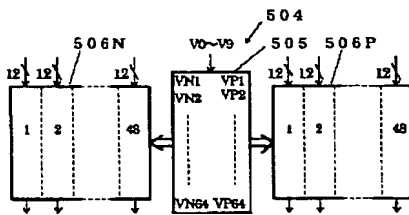
【図2】



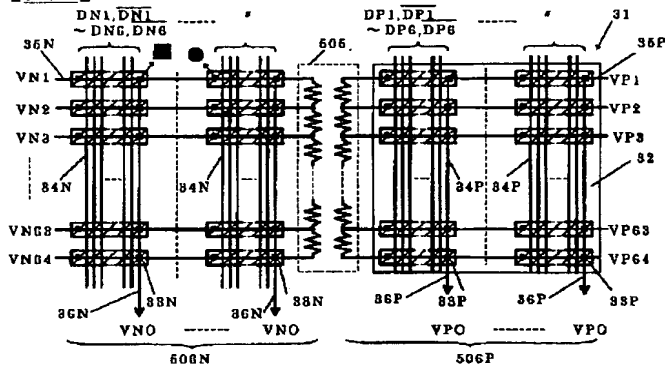
【図4】



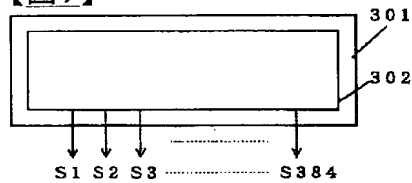
【図5】



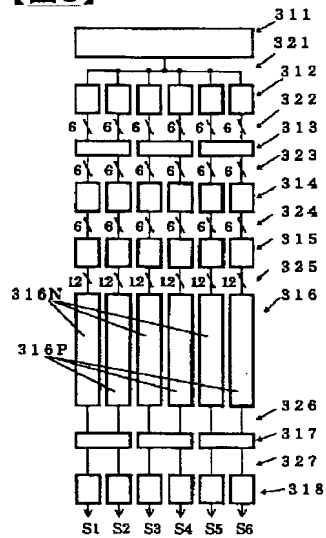
【図6】



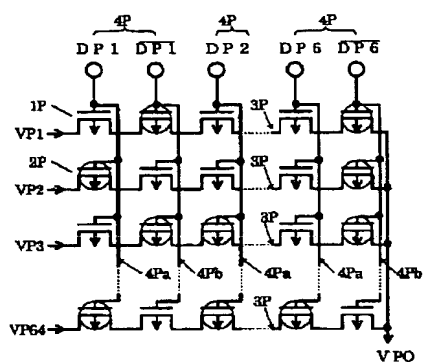
【図7】



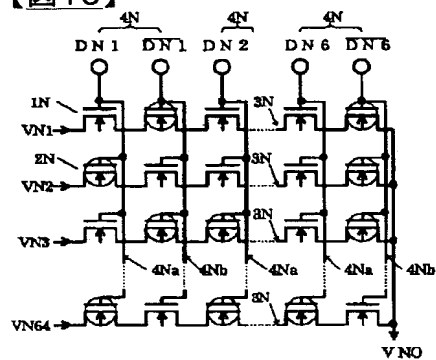
【图8】



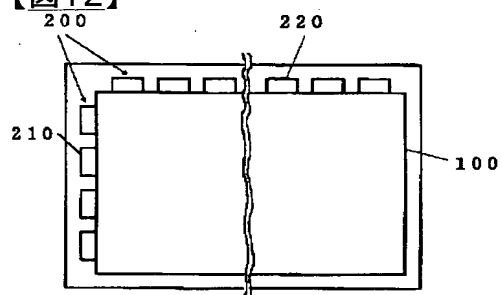
【図9】



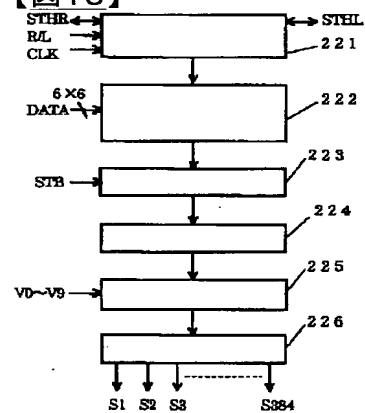
【図10】



【図12】



【図13】



【図11】

